

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026440

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01S 5/022

H01L 31/02

H01L 31/12

(21)Application number : 2000-199985

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.06.2000

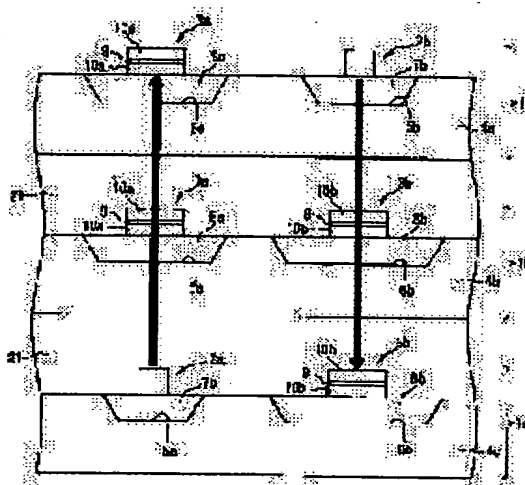
(72)Inventor : KONDO TAKAYUKI  
SHIMODA TATSUYA  
SATO JUNJI

## (54) METHOD FOR MOUNTING ELEMENT AND OPTICAL TRANSMITTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an optical transmitter which can be applied to an optically interconnecting device between laminated IC chips and a method for mounting element which makes the transmitter manufacturable.

**SOLUTION:** In the method for mounting element, light emitting elements 2a and 2b composed of surface-emitting type laser elements having different wavelengths and light receiving elements 3a and 3b which are provided with filters and receive light rays in the wavelength bands of the elements 2a and 2b by passing the light rays through their filters are mounted on substrates 4a-4b in such a way that the elements 2a and 2b are formed on micro trapezoidal structures 7a and 7b having different sizes and the elements 3a and 3b are formed on trapezoidal micro structures 8a and 8b having different sizes. On substrates 4a-4c, recessed sections 5a, 5b, 6a, and 6c having identical shapes to those of the structures 7a, 7b, 8a, and 8b are respectively formed at portions which are used for mounting the elements 2a, 2b, 3a, and 3b and slurry in which the fine structures 7a, 7b, 8a, and 8b are mixed is made to flow on the upper surfaces of the substrates 4a-4c so that the structures 7a, 7b, 8a, and 8b may get in the recessed sections 5a, 5b, 6a, and 6b having identical shapes.



## LEGAL STATUS

[Date of request for examination] 29.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26440

(P2002-26440A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 S 5/022

H 0 1 S 5/022

5 F 0 7 3

H 0 1 L 31/02

H 0 1 L 31/12

G 5 F 0 8 8

31/12

31/02

B 5 F 0 8 9

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2000-199985 (P2000-199985)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 近藤 貴幸

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 下田 達也

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

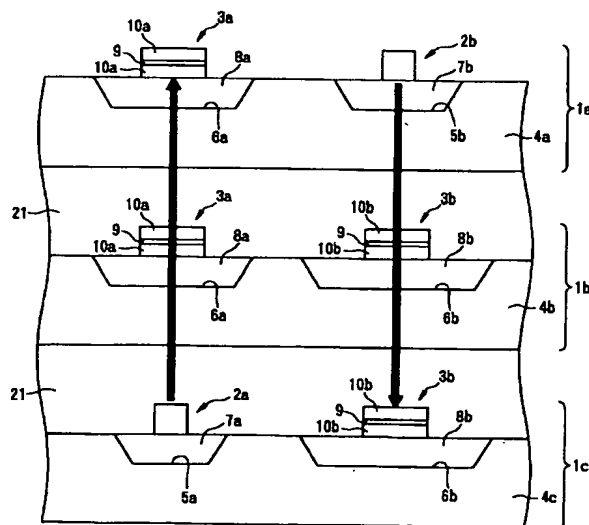
最終頁に続く

(54) 【発明の名称】 素子実装方法と光伝送装置

(57) 【要約】

【課題】 積層 I C チップ間光インターコネクション装置に適用可能な光伝送装置と、それを製造可能とする素子実装方法を提供する。

【解決手段】 例えば波長の異なる面発光レーザ素子からなる発光素子 2 a、2 b を、互いに大きさが異なる台形状の微小構造体 7 a、7 b 上に形成し、その発光素子 2 a、2 b の波長帯域の光を通過して受光するフィルタ付き受光素子 3 a、3 b を、更に互いに大きさが異なる台形状の微小構造体 8 a、8 b 上に形成し、各基板 4 a ~ 4 c には、各受発光素子を実装すべき部位に、それらの素子が形成された微小構造体 7 a、7 b、8 a、8 b と同形態の凹部 5 a、5 b、6 a、6 b を形成し、それらの微小構造体が混入されたスラリーを当該基板の上面で流動し、各微小構造体を重力で同形態の凹部内に嵌合し、夫々に設けられた各受発光素子を実装する。



## 【特許請求の範囲】

【請求項 1】 基体の上面の所定の部位に形態の異なる凹部を形成すると共に、上面に異なる機能の素子が設けられ且つ前記凹部の形態と同形態で且つ互いに形態の異なる微小構造体を形成し、この素子が設けられた微小構造体を流体に混入してスラリーとし、このスラリーを、前記基体の上面で流動し、前記微小構造体を、対応する形態の凹部に嵌合することを特徴とする素子実装方法。

【請求項 2】 前記形態の異なる微小構造体のうち、微小構造体の形態が大きな順に、夫々の微小構造体が混入したスラリーを、前記基体の上面で流動させることを特徴とする請求項 1 に記載の素子実装方法。

【請求項 3】 前記異なる機能の素子を、互いに波長の異なる発光素子とし、これらの素子を、前記請求項 1 又は 2 に記載の素子実装方法で、前記基体の所定の部位に実装したことを特徴とする光伝送装置。

【請求項 4】 前記異なる機能の素子を、互いに感受する波長の異なる受光素子とし、これらの素子を、前記請求項 1 又は 2 に記載の素子実装方法で、前記基体の所定の部位に実装したことを特徴とする光伝送装置。

【請求項 5】 前記受光素子は、所定の波長帯域の光が通過するバンドパスフィルタを受光面に備えたフォトダイオードであることを特徴とする請求項 4 に記載の光伝送装置。

【請求項 6】 前記請求項 3 に記載の光伝送装置の発光素子と、前記請求項 4 又は 5 に記載の光伝送装置の受光素子とが互に対向するように、夫々の基体を積層したことを特徴とする光伝送装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、素子を基体（基板）に実装する素子実装方法とそれによって各素子が実装された光伝送装置に関し、例えばワンチップコンピュータのように、積層した IC チップ間での光インターコネクション装置に好適なものである。

## 【0002】

【従来の技術】コンピュータの更なる高速化を図るため、CPU や DRAM 等の IC チップを積層し、チップ間のデータのやりとりを光信号で行うワンチップコンピュータが考えられている。このようなワンチップコンピュータの光インターコネクション装置は、例えば或る IC チップの発光素子と、他の IC チップの受光素子とが対向するようにして各 IC チップを積層すれば、一方の発光素子の発光を他の IC チップで直接的に受光することができる。従って、この光にデータを乗せれば、IC チップ間でデータの伝送を高速に行うことができる。また、受光素子が設けられた IC チップを更に積層すれば、一つの発光素子の信号を複数の受光素子で受光することができる、つまり一つの IC チップのデータを同時に複数の他の IC チップに伝送することができるため、

非常に高速な光パスを形成することもできる。

## 【0003】

【発明が解決しようとする課題】ところで、チップ間で並列データ伝送を行うためには、光信号経路は、夫々独立している必要がある。しかし、IC チップは非常に小さいので、複数の光信号経路の光が漏れて、所謂クロストークが生じる可能性が高い。これを防止するため、積層した IC チップ間に光導波路を形成することは非常に困難で、非現実的である。従って、チップ間並列データ伝送のためには、各光信号経路の信号形態、つまり光の波長を変える方法が有効である。

【0004】発光素子として挙げられる発光ダイオードや後述する面発光レーザ、受光素子として挙げられるフォトダイオード等は、何れも半導体基板上に形成されるが、同一基板内で光学特性を変え、しかも所定の部位にのみ、それらを製造することは不可能である。そのため、受発光素子は、IC チップに直接実装する必要がある。

【0005】前記 IC チップに実装する発光素子としては、例えば出射口の口径が小さい垂直共振器型面発光レーザ等が挙げられる。この面発光レーザならば、IC チップに実装する発光素子としても十分に小さいし、また垂直方向に発光することから、IC チップ基板上に実装できれば、それだけで、積層された他の IC チップに対して発光することができる。また、フォトダイオードなどの受光素子も、IC チップに実装する受光素子として十分に小さい。

【0006】しかしながら、このような小さな発光素子や受光素子を IC チップ等の基体に高集積に実装するのは困難である。しかも、積層された IC チップ間に光パスを形成するためには、各 IC チップの所定の位置に受発光素子を正確に実装しなければならないが、これらの素子を、前述のように高密度に、しかも正確に実装するのは、より一層困難である。

【0007】本発明は前記諸問題を解決すべく開発されたものであり、例えば積層された IC チップ間の光インターコネクション装置にも適用可能な光素子の実装方法及びそれによって実装された光伝送装置を提供することを目的とするものである。

## 【0008】

【課題を解決するための手段】上記諸問題を解決するため、本発明のうち請求項 1 に係る素子実装方法は、基体の上面の所定の部位に形態の異なる凹部を形成すると共に、上面に異なる機能の素子が設けられ且つ前記凹部の形態と同形態で且つ互いに形態の異なる微小構造体を形成し、この素子が設けられた微小構造体を流体に混入してスラリーとし、このスラリーを、前記基体の上面で流動し、前記微小構造体を、対応する形態の凹部に嵌合することを特徴とするものである。

【0009】また、本発明のうち請求項 2 に係る素子実

装方法は、前記請求項 1 の素子実装方法において、前記形態の異なる微小構造体のうち、微小構造体の形態が大きな順に、夫々の微小構造体が混入したスラリを、前記基体の上面で流動させることを特徴とするものである。また、本発明のうち請求項 3 に係る光伝送装置は、前記異なる機能の素子を、互いに波長の異なる発光素子とし、これらの素子を、前記請求項 1 又は 2 に記載の素子実装方法で、前記基体の所定の部位に実装したことを特徴とするものである。

【0010】また、本発明のうち請求項 4 に係る光伝送装置は、前記異なる機能の素子を、互いに感受する波長の異なる受光素子とし、これらの素子を、前記請求項 1 又は 2 に記載の素子実装方法で、前記基体の所定の部位に実装したことを特徴とするものである。また、本発明のうち請求項 5 に係る光伝送装置は、前記請求項 4 の発明において、前記受光素子は、所定の波長帯域の光が通過するバンドパスフィルタを受光面に備えたフォトダイオードであることを特徴とするものである。

【0011】また、本発明のうち請求項 6 に係る光伝送装置は、前記請求項 3 に記載の光伝送装置の発光素子と、前記請求項 4 又は 5 に記載の光伝送装置の受光素子とが互いに対向するように、夫々の基体を積層したことを特徴とするものである。

#### 【0012】

【発明の実施の形態】以下、本発明の実施の形態について説明する。図 1 は、本実施形態の積層 IC チップ間の光インターコネクション装置の概略構成図であり、ここでは、CPU や DRAM 等の IC チップ (LSI) 1 a ~ 1 c を三層積層している。この実施形態では、図示する最下層の IC チップ 1 c の発光素子 2 a の光を中層及び最上層の IC チップ 1 b、1 a の受光素子 3 a で受光し、最上層の IC チップ 1 a の発光素子 2 b の光を中層及び最下層の IC チップ 1 b、1 c の受光素子 3 b で受光するように構成されている。そのため、一方の発光素子 2 a は他方の発光素子 2 b と発光波長が異なり、また一方の受光素子 3 b は他方の受光素子 3 a と感受する受光波長帯域が異なる。なお、この実施形態では、各 IC チップ 1 a ~ 1 c の基板 (基体) 4 a ~ 4 c 及び微小構造体 7 a ~ 8 b を Si で作製した。そのため、各発光素子の光として 1.0  $\mu$ m 以上、好ましくは 1.1  $\mu$ m 以上の波長を選んでいる。Si は 1.0  $\mu$ m の波長に対して約 100  $\text{cm}^{-1}$  と吸収係数が大きく、相応の損失がある。一方、波長が 1.1  $\mu$ m 以上では、吸収係数は 10  $\text{cm}^{-1}$  以下と小さい。そこで、本実施形態では、各発光素子の光の波長を 1.0  $\mu$ m 以上、好ましくは 1.1  $\mu$ m 以上とした。この波長の光ならば、Si を容易に透過することができるため、対向する受光素子間の光信号の伝達が良好にできる。勿論、後述する接着層 21 も、この波長帯域の光に対して透明である。

【0013】前記各 IC チップ 1 a ~ 1 c の各基板 4 a

~ 4 c のうち、前記各発光素子 2 a、2 b 及び受光素子 3 a、3 b を実装すべき部位には、例えば図 2 に示すような凹部 5 b (5 a)、6 a (6 b) が形成されている。図 2 は、このうち最上層の IC チップ 1 a に形成されている凹部 5 b、6 a を代表して示しているが、各凹部 5 b、6 a は、上方形面より下方形面が小さく、且つ側面が台形状の凹部である。これらの凹部 5 b、6 a は、Si を異方性エッチングすることによって、特に側面の傾きなど、極めて精度よく、形成することができる。なお、図 2 から明らかなように、少なくとも同じ基板 4 a 上の発光素子用凹部 5 b と受光素子用凹部 6 a とは、大きさ等の形態が異なる。また、本実施形態では、図 1 に示すように、その他の凹部、例えば中層の IC チップ 1 b の基板 4 b の受光素子用凹部 6 a、6 b 同士も、最下層の IC チップ 1 c の基板 4 c の受光素子用凹部 6 b と発光素子用凹部 5 a とも大きさ等の形態が異なっている。つまり、例えば 6 a や 6 b のように、同じ符号を付している凹部同士は大きさ等の形態が同じであるが、符号の異なる凹部同士は、互いに大きさ等の形態が異なる。換言すれば、同じ機能の素子が必要な部位の凹部は形態が同じであるが、異なる機能の素子用の凹部は形態が異なるのである。

【0014】図 2 には、前記発光素子 2 b (2 a) が上面に設けられた微小構造体 7 b (7 a) と、受光素子 3 a (3 b) が上面に設けられた微小構造体 8 a (8 b) も示している。微小構造体 7 b (7 a)、8 a (8 b) は Si で構成される。各微小構造体 7 b (7 a)、8 a (8 b) の形態は、何れも前記凹部 5 b (5 a)、6 a (6 b) と同様に、上方形面より下方形面が小さく、側面が台形なブロック状である。但し、ここに示す前記他方の発光素子 2 b を実装する部位の発光素子用凹部 5 b と当該他方の発光素子 2 b が設けられている微小構造体 7 b とは同形態であり、前記一方の受光素子 3 a を実装する部位の受光素子用凹部 6 a と当該一方の受光素子 3 a が設けられている微小構造体 8 a とは同形態である。同様に、前記一方の発光素子 2 a を実装する部位の発光素子用凹部 5 a と当該一方の発光素子 2 a が設けられている微小構造体 7 a とは同形態であり、前記他方の受光素子 3 b を実装する部位の受光素子用凹部 6 b と当該他方の受光素子 3 b が設けられている微小構造体 8 b とは同形態である。即ち、夫々、機能の異なる素子が上面に設けられている微小構造体同士は互いに大きさ等の形態が異なるが、当該素子が実装されるべき部位の凹部とは同形態である。

【0015】前記二種類の発光素子 2 a、2 b は、互いに発光波長の異なる面発光レーザによって構成される。また、前記二種類の受光素子 3 a、3 b は、互いに感受する受光波長帯域の異なるフィルタ付きフォトダイオードで構成される。まず、面発光レーザからなる発光素子 2 a (2 b) が上面に設けられている微小構造体 7 a

(7b)の製造方法について説明する。ここでは、図3aに示すように、面発光レーザ素子となるエピタキシャル層11を、pコンタクト層13を挟んで、Si基板12に貼付ける。エピタキシャル層11の反対の面には、予めnコンタクト層14が設けられている。また、エピタキシャル層11をSi基板12に貼付る技術としては、周知のInP-Si直接接合や、金属膜介装接合、半田接合、接着剤接合などが用いられる。

【0016】次に、図3bに示すように、前記エピタキシャル層11にドライエッチングを施して、面発光レーザの発光部となる柱状部15を形成する。次に、図3cに示すように、残っているエピタキシャル層11にドライエッチングを施してコンタクトホール16を形成し、共通電極として、前記pコンタクト層13を露出する。次に、図3dに示すように、前記柱状部15の周囲に、ポリイミドを埋め込んで、絶縁層17を形成する。次に、図3eに示すように、前記nコンタクト層14の上面にリング状上部電極18を形成し、前記コンタクトホール16内のpコンタクト層13の上面に下部電極19を形成する。そして、最後に、図3fに示すように、前記Si基板12に異方性エッチングを施して、前述した微小構造体7a(7b)を形成する。

【0017】また、前記受光素子3a、3bには、通常のフォトダイオード9の上下面に、通過する光の波長帯域が異なる多層膜コーティング10a、10bを施したものを用いる。即ち、例えばSi基板と、多層膜コーティング10a、10bが施されたフォトダイオード9を接合し、当該多層膜コーティング10a、10bとフォトダイオード9をエッチング法などにより、所定の形状に成形した後、Si基板に異方性エッチングを施して、前記微小構造体8a、8bを形成する。つまり、これらの多層膜コーティング10a、10bが通過する光の波長を規制するバンドパスフィルタをなし、全体で、特定の波長帯域の光だけを受感する受光素子3a、3bが構成される。ここでは、前記一方の受光素子3aの多層膜コーティング10aは、前記一方の発光素子2aの面発光レーザが発光する波長の光を透過するが、前記他方の発光素子2bの面発光レーザが発光する波長の光を遮断する特性を備えるように構成されている。それに対して、前記他方の受光素子3bの多層膜コーティング10bは、前記他方の発光素子2bの面発光レーザが発光する波長の光を透過するが、前記一方の発光素子2aの面発光レーザが発光する波長の光を遮断する特性を備えるように構成されている。

【0018】そして、例えばUnited States Patent 590 4545に記載されるように、前記発光素子2b(2a)が設けられた微小構造体7b(7a)や、受光素子3a(3b)が設けられた微小構造体8a(8b)を、所定の流体に混入してスラリーを作り、このスラリーを前記各基板4a(4b、4c)の上面で流動する。すると、微小

構造体7b(7a)、8a(8b)は、図2に示すように、同じ形態の凹部5b(5a)、6a(6b)に重力によって嵌合する。つまり、例えば前記最上層のICチップ1aの基板4aにおいて、前記他方の発光素子2bを実装すべき部位の発光素子用凹部5bには、当該他方の発光素子2bが上面に設けられた微小構造体7bが嵌合し、前記一方の受光素子3aを実装すべき部位の受光素子用凹部6aには、当該一方の受光素子3aが上面に設けられた微小構造体8aが嵌合する。従って、例えば図4に示すように、前記最上層のICチップ1aの基板4aに、前記四つの異なる凹部5a、5b、6a、6bを形成し、前記二つの異なる発光素子2a、2bが設けられた微小構造体7a、7b及び二つの異なる受光素子3a、3bが設けられた微小構造体8a、8bを流体に混入してスラリーを作り、それを前記基板4aの上面で流動すれば、該当する凹部5a、5b、6a、6bに、夫々同形態の微小構造体7a、7b、8a、8bが嵌合し、所望の部位に所望の素子を実装することができる。

【0019】但し、このように大きさの異なる微小構造体7a、7b、8a、8bを用いて各受発光素子を実装する際には、形態の大きい微小構造体(ここでは微小構造体8b)から形態の小さい微小構造体(ここでは微小構造体8a)といったように、形態の大きい順、つまり微小構造体8b、8a、7b、7aの順で、夫々の微小構造体並びに各受発光素子が混入したスラリーを基板4a(4b、4c)の上面で流動し、各受発光素子を実装するのが望ましい。これにより、例えば形態の小さい微小構造体7bが形態の大きい凹部6aに誤って嵌合するのを防止することができる。つまり、形態の大きい凹部6aには、既に形態の大きい微小構造体8aが嵌合して、当該凹部6aは閉塞されているからである。

【0020】このようにして各基板4a~4cに各受発光素子2a、2b、3a、3bが実装されたら、被膜処理やコンタクトホール形成、配線等の必要な処理を施し、それら基板4a~4cからなるICチップ1a~1cを所定の状態に積層する。本実施形態では、ICチップ1a~1cの積層に際し、透明な接着剤21を用いた。これにより、前記発光素子2a、2bの光は、各基板4a~4c及び接着剤21層を通過して、各受光素子3a、3bに到達する。そして、各受光素子3a、3bは、夫々、感受対象となる発光素子2a、2bの光だけを受光する。従って、各光信号経路から光が漏れても、異なる光信号経路の受光素子が、その光を誤って受光する、つまりクロストークの恐れがなく、完全に独立した光パスを形成することができる。

【0021】このように、本実施形態の素子実装方法では、機能の異なる素子を、極めて高密度に且つ正確に実装することができる。しかも、前記Si異方性エッチングで形成される凹部5a、5b、6a、6b及び微小構造体7a、7b、8a、8bは、極めて形状精度が高い

ので、非常に小さな微小構造体も、確実に同形態の凹部に嵌合し、従って極めて高い精度で、所望の部位に所望の素子を実装することができる。

【0022】次に、本発明の素子実装方法及び光伝送装置を波長多重型光インターコネクション装置に適用した実施形態を示す。波長多重型光インターコネクション装置は、例えば図5のように構成される。この例は、例えば特開平11-289317号公報に記載されるものと同等であり、波長の異なる複数の発光素子2が実装されている発光素子アレイ111と、光導波路となる光ファイバ110と、前記発光素子2の夫々の波長の光を抽出するフィルタ素子22が実装されているフィルタアレイ112と、このフィルタアレイ112で抽出された各波長の光を受光する受光素子3が実装されている受光素子アレイ113とで構成される。なお、図では、理解を容易にするために、各構成要素を分離しているが、実質的に各構成要素は、光学的に直接接合されている。

【0023】このような波長多重型光インターコネクション装置では、前記発光素子アレイ111の各発光素子2から波長の異なる複数の光を発光し、その夫々の光を媒体として光ファイバ110内を伝送し、当該光ファイバ110から出射する光の中から、該当する波長の光を抽出して、それを受光素子アレイ113の各受光素子3で受光することにより、当該光に乗せられたデータを伝送することができる。

【0024】しかしながら、この場合も、異なる機能、つまり受発光する光の波長特性が異なる発光素子2や受光素子3を用いることから、夫々の素子は、夫々のアレイ上に実装しなければならない。しかも、大径のプラスチック光ファイバを用いても、光を伝送するコアの径は小さいので、このコア径の内部に、前記発光素子2や受光素子3を高密度且つ正確に実装するのは非常に困難である。

【0025】そこで、本実施形態では、前記積層ICチップ間光インターコネクション装置に用いた発光素子付きの微小構造体及び受光素子付きの微小構造体を用いて、これらの各受発光素子を実装する。但し、前記受光素子は、所定の波長の光だけを受光するフィルタ機能が付加されているので、実質的に前記フィルタアレイ112は不要である。

【0026】そこで、図6aに示すように、前記発光素子アレイ111の基板に、互いに異なる形態の凹部5c~5fを形成し、夫々の凹部の形態と同形態で且つ上面に発光素子2c~2fが設けられた前記微小構造体7c~7fを流体に混入してスラリーを作り、このスラリーを、当該基板の上面で流動して、同じ形態の凹部5c~5fに微小構造体7c~7fを嵌合し、当該発光素子アレイ111の基板に発光素子2c~2fを実装する。また、図6bに示すように、前記受光素子アレイ113の基板に、互いに異なる形態の凹部6c~6fを形成し、夫々

の凹部の形態と同形態で且つ上面に受光素子3c~3fが設けられた前記微小構造体8c~8fを流体に混入してスラリーを作り、このスラリーを、当該基板の上面で流動して、同じ形態の凹部6c~6fに微小構造体8c~8fを嵌合し、当該受光素子アレイ113の基板に受光素子3c~3fを実装する。

【0027】このように、前述と同様、機能の異なる素子を、極めて高密度に且つ正確に実装することができる。しかも、前記Si異方性エッチングで形成される凹部及び微小構造体は、極めて形状精度が高いので、非常に小さな微小構造体も、確実に同形態の凹部に嵌合し、従って極めて高い精度で、所望の部位に所望の素子を実装することができる。

【0028】なお、前記各実施形態では、微小構造体を、全て上下面が正方形で、側面が台形のものとしたが、微小構造体の形態は、これに限定されるものではなく、例えば上下面が長方形であったり、平行四辺形或いは菱形のようなものであってもよい。

【0029】

【発明の効果】以上説明したように、本発明のうち請求項1に係る素子実装方法によれば、基体の上面の所定の部位に形態の異なる凹部を形成すると共に、上面に異なる機能の素子が設けられ且つ前記凹部の形態と同形態で且つ互いに形態の異なる微小構造体を形成し、この素子が設けられた微小構造体を流体に混入してスラリーとし、このスラリーを、前記基体の上面で流動し、前記微小構造体を、対応する形態の凹部に嵌合することとしたため、凹部の形態と微小構造体とが同形態であれば、異なる機能の素子を極めて高密度に実装することができ、しかも凹部の形態と部位が正確であれば、素子を基体に対して極めて正確に実装することができる。

【0030】また、本発明のうち請求項2に係る素子実装方法によれば、前記形態の異なる微小構造体のうち、微小構造体の形態が大きな順に、夫々の微小構造体が混入したスラリーを、基体の上面で流動させることとしたため、形態の小さな微小構造体が、それより大きな形態の凹部に嵌合する可能性が小さくなり、その分だけ、素子を正確に実装することができる。

【0031】また、本発明のうち請求項3に係る光伝送装置によれば、互いに波長の異なる発光素子を、前記請求項1又は2に記載の素子実装方法で、前記基体の所定の部位に実装することとしたため、積層ICチップ間の光インターコネクション装置にも適用可能な発光素子実装済みICチップを製造することができる。また、本発明のうち請求項4に係る光伝送装置によれば、互いに感受する波長の異なる受光素子を、前記請求項1又は2に記載の素子実装方法で、前記基体の所定の部位に実装することとしたため、積層ICチップ間の光インターコネクション装置にも適用可能な受光素子実装済みICチップを製造することができる。

【0032】また、本発明のうち請求項5に係る光伝送装置によれば、所定の波長帯域の光が通過するバンドパスフィルタを受光面に備えたフォトダイオードで受光素子を構成することにより、積層ICチップ間の光インターコネクション装置で並列データ伝送を行うのに必要な、独立した光信号経路を形成することができるフィルタ機能付きの受光素子を容易に製造することができる。

【0033】また、本発明のうち請求項6に係る光伝送装置によれば、前記請求項3に記載の光伝送装置の発光素子と、前記請求項4又は5に記載の光伝送装置の受光素子とが互いに対向するように、夫々の基体を積層する構成としたため、積層ICチップ間の光インターコネクション装置を容易に構築することができる。

#### 【図面の簡単な説明】

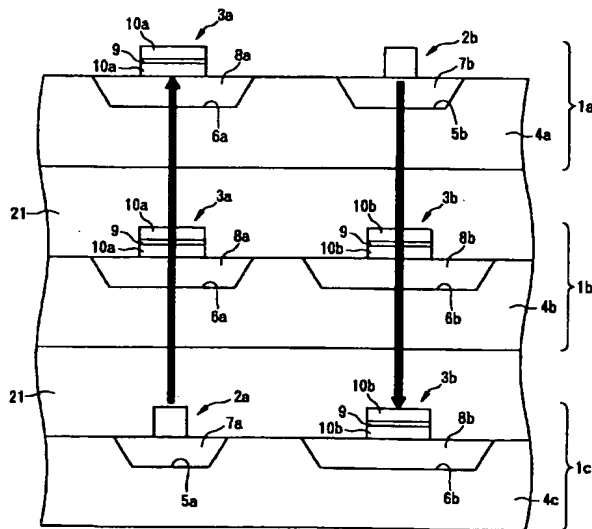
【図1】本発明の実施形態を示す積層ICチップ間光インターコネクション装置の概略構成図である。

【図2】素子を各基板の凹部に嵌合する説明図である。

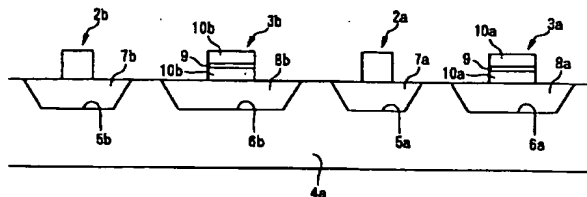
【図3】発光素子が上面に設けられている微小構造体の製造方法の説明図である。

【図4】形態の異なる微小構造体により機能の異なる素子を基板に実装した説明図である。

【図1】



【図4】



【図5】本発明の実施形態を示す波長多重型光インターコネクション装置の概略構成図である。

【図6】形態の異なる微小構造体により機能の異なる素子を基板に実装した説明図である。

#### 【符号の説明】

1 a、1 b、1 cはICチップ

2 (2 a、2 b)は発光素子

3 (3 a、3 b)は受光素子

4 a、4 b、4 cは基板

5 (5 a、5 b)は凹部

6 (6 a、6 b)は凹部

7 (7 a、7 b)は微小構造体

8 (8 a、8 b)は微小構造体

9はフォトダイオード

10 (10 a、10 b)は多層膜コーティング (バンドパスフィルタ)

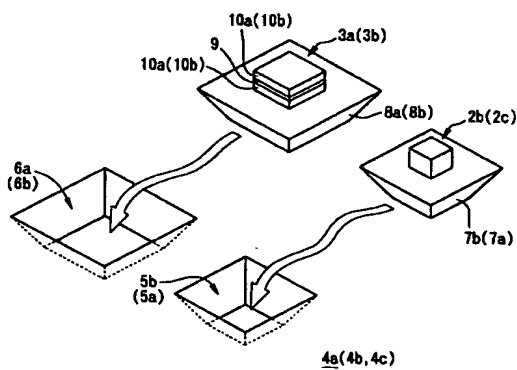
10は光ファイバ

11は発光素子アレイ

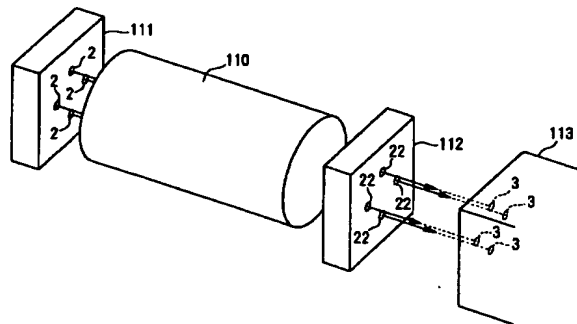
12はフィルタ素子アレイ

13は受光素子アレイ

【図2】

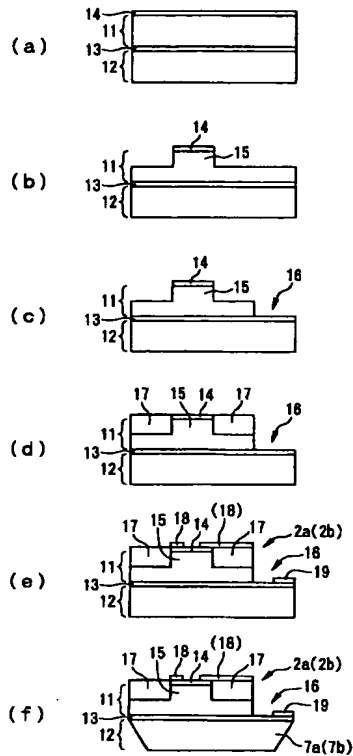


【図5】

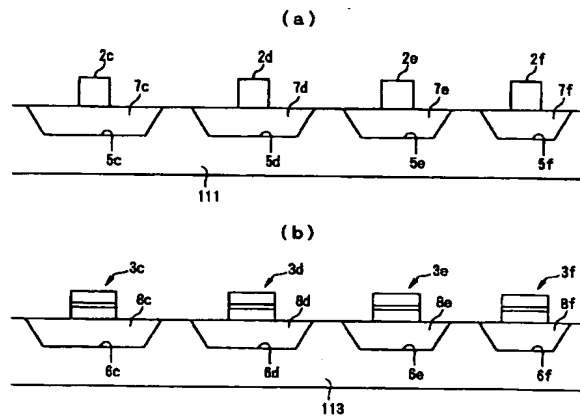




【図 3】



【図 6】



フロントページの続き

(72) 発明者 佐藤 淳史  
長野県諏訪市大和 3 丁目 3 番 5 号 セイコ  
ーエプソン株式会社内

F ターム(参考) 5F073 AB16 AB28 BA01 DA24 DA35  
EA04 FA13  
5F088 AA01 BB01 JA01 JA05 JA13  
JA14 KA01 KA10  
5F089 AA01 AB03 AC02 AC07 AC11  
AC17 EA01 FA06 FA10 GA07